

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Japanese Published Patent Application Number: H4-251926

(43) Date of Publication: September 8, H4 (1992)

5

---

(51) Int. Cl.<sup>5</sup> Identification Symbol JPO File Number FI Indication of Technology

H 0 1 L 21/302 M 7353-4M

21/3205

21/90 A 7353-4M H 0 1 L 21/88 D D

10

7353-4M F

7353-4M

Request for Examination: not made

Number of Claims: 1 (5 pages in total)

---

15

(21) Application Number: No. H3-1306

(22) Date of Filing: January 10, H3 (1991)

(71) Applicant: 000005223

FUJITSU LIMITED

1015, Kamiodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa

20

(72) Inventor: SHIN DAISHIYOKU

c/o FUJITSU LIMITED

1015, Kamiodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa

(74) Agent: Patent Attorney: Sadakazu IGETA

---

25

(54) [Title of the Invention] METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57) [Summary]

[Object] An object is to obtain a highly reproducible shape of a through hole by combining a normal RIE mode, a resist separation mode, and a taper formation mode.

30

[Structure] The formation of a through hole in an interlayer insulating film on a semiconductor substrate has a structure including a step of making an insulating film 2 cover a lower wiring film 1 and forming a resist film 3 in which a through hole forming

portion is opened on the insulating film 2, a step of performing anisotropic etching of the insulating film 2 using a fluorine-based gas 4 with the resist film 3 as a mask by reactive ion etching so that a through hole 5 is opened in the insulating film 2, a step of removing the resist film 3 by ashing using an oxygen gas 6, a step of performing  
5 anisotropic etching of the insulating film 2 using an inert gas 7 to scrape an upper edge of the through hole 5, and then a step of forming an upper wiring film 8 as a covering.

[Scope of Claim]

[Claim 1] A method of manufacturing a semiconductor device, characterized by including, in the formation of a through hole in an interlayer insulating film on a semiconductor substrate, a step of making an insulating film (2) cover a lower wiring film (1) and forming a resist film (3) in which a through hole forming portion is opened  
 5 on the insulating film (2), a step of performing anisotropic etching of the insulating film (2) using a fluorine-based gas (4) with the resist film (3) as a mask by reactive ion etching so that a through hole (5) is opened in the insulating film (2), a step of removing the resist film (3) by ashing using an oxygen gas (6), a step of performing anisotropic  
 10 etching of the insulating film (2) using an inert gas (7) to scrape an upper edge of the through hole (5), and a step of forming an upper wiring film (8) as a covering.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application] The present invention relates to a technique in which  
 15 a through hole is subjected to a tapering process by using a dry etching method, with the aim of improving wiring coverage properties at the through hole between multilayer wirings of a semiconductor device.

[0002] A bottleneck in miniaturization of a semiconductor element results from the fact that reducing a wiring pitch by placing wirings closer together are impossible due  
 20 to a problem of reliability of a wiring material. Still, there is a trend toward a reduction in wiring pitch by making wirings more multilayered, increasing the thickness of the wiring, and the like.

[0003] Thus, a through hole that connects wirings has also been miniaturized. Accordingly, as a necessary technique, there is tapering of a through hole by which  
 25 coverage with a wiring metal at a through hole can be ensured.

[0004]

[Prior Art] FIG. 4 is an explanatory diagram of a conventional example. In the diagrams, reference numeral 35 represents an aluminum (Al) film, reference numeral 36 represents a silicon dioxide ( $\text{SiO}_2$ ) film, reference numeral 27 represents a resist film,  
 30 reference numeral 38 represents  $\text{F}^+$ , and reference numeral 39 represents  $\text{F}^+$ .

[0005] A conventional method has been mainly a method combining two-step etching, i.e., isotropic etching using a wet or dry etching method, as illustrated in FIG. 4(a), and

anisotropic etching using reactive ion etching (RIE), as illustrated in FIG. 4(b).

[0006] However, as illustrated in FIG. 4(a), in isotropic etching first performed, since a variation in the etching rate of wet or dry etching of the SiO<sub>2</sub> film 36 on the Al film 35 with the resist film 37 as a mask renders a finished shape unstable, there is a variation in the coverage with a wiring, resulting in lack of reliability. This has been a problem.

[0007] This unstableness of isotropic etching can be said to be ascribed to a variation in the composition of an etching solution or the like in the case of wet etching, or to dependence on the shape of the resist film 37 in the case of dry etching. However, the largest cause is that stopping etching halfway disables detection of an end point, such as detection with a change in the intensity of an emission spectrum that can be an objective control standard in recent dry etching techniques.

[0008]

[Problem to be Solved by the Invention] Therefore, it is necessary to stabilize the shape before a wiring material is formed. An object of the present invention is, in processing a through hole with an RIE apparatus, to obtain a highly reproducible shape of a through hole by combining a normal RIE mode, a photoresist separation mode, and a taper formation mode, by changing types of etching gas and etching conditions.

[0009]

[Means for Solving the Problem] FIG. 1 is a view illustrating a principle of the present invention. In the diagrams, reference numeral 1 represents a lower wiring film, reference numeral 2 represents an insulating film, reference numeral 3 represents a resist film, reference numeral 4 represents a fluorine-based gas, reference numeral 5 represents a through hole, reference numeral 6 represents an oxygen gas, reference numeral 7 represents an inert gas, and reference numeral 8 represents an upper wiring film.

[0010] As the first stage, in a normal RIE etching state, anisotropic etching is performed exactly according to the resist film which is a mask until a lower wiring material is exposed. Next, the resist film is removed with plasma of only oxygen in the same chamber.

[0011] Lastly, an upper edge corner of a through hole is rounded with inert gas plasma, and a process of a through hole is finished. In other words, an object of the present invention is achieved by including, in the formation of a through hole in an interlayer

insulating film on a semiconductor substrate, a step of making the insulating film 2 cover the lower wiring film 1 and forming the resist film 3 in which a through hole forming portion is opened on the insulating film 2 as illustrated in FIG. 1(a), a step of performing anisotropic etching of the insulating film 2 using the fluorine-based gas 4 with the resist film 3 as a mask by reactive ion etching so that the through hole 5 is opened in the insulating film 2 as illustrated in FIG. 1(b), a step of removing the resist film 3 by ashing using the oxygen gas 6 as illustrated in FIG. 1(c), a step of performing anisotropic etching of the insulating film 2 using the inert gas 7 to scrape an upper edge of the through hole 5 as illustrated in FIG. 1(d), and then a step of forming the upper wiring film 8 as a covering, as illustrated in FIG. 1(e).

[0012]

[Operation] In the present invention, first, the insulating film is subjected to anisotropic etching with the resist film as a mask so that the through hole is opened perpendicularly until the wiring film is exposed while an end point is detected. Next, after the resist film is removed, a tapering process in which ion collision of an inert gas facilitates control of the sputtering etching rate is performed on the upper edge of the through hole. Therefore, a conventional problem such as non-uniformity in the shape or size of the through hole is solved.

[0013]

[Example] FIG. 2 is a schematic cross-sectional view of a process sequence of one example of the present invention. FIG. 3 is an outline diagram of an apparatus of one example of the present invention.

[0014] In the drawings, reference numeral 9 represents a Si substrate, reference numeral 10 represents a SiO<sub>2</sub> film, reference numeral 11 represents a lower Al wiring film, reference numeral 12 represents a PSG film, reference numeral 13 represents an upper Al wiring film, reference numeral 14 represents F<sup>+</sup>, reference numeral 15 represents a through hole, reference numeral 16 represents O<sup>-</sup>, reference numeral 17 represents Ar<sup>+</sup>, reference numeral 18 represents an upper Al wiring film, reference numeral 19 represents a chamber, reference numeral 20 represents a substrate, reference numeral 21 represents a parallel plate electrode, reference numeral 22 represents plasma, reference numeral 23 represents a gas inlet, reference numeral 24 represents an exhaust

port, reference numeral 25 represents an RF power source, reference numeral 26 represents a chamber, reference numeral 27 represents a substrate, reference numeral 28 represents a magnetron, reference numeral 29 represents a quartz window, reference numeral 30 represents a magnet, reference numeral 31 represents plasma, reference numeral 32 represents a gas inlet, reference numeral 33 represents an exhaust port, and reference numeral 34 represents an RF power source.

[0015]

According to FIG. 2, one example of the present invention is described with the schematic cross-sectional view of the process sequence. First, as illustrated in FIG. 2(a), using the Si substrate 9 covered with the SiO<sub>2</sub> film 10 on which the lower Al wiring film 11 is formed by patterning, on the lower Al wiring film 11, the PSG film 12 covers the entire surface of the Si substrate 9 to a thickness of 1.2 by a CVD method.

[0016] Then, the resist film 13 is applied to a thickness of 8000 Å and, using a mask, a through hole forming portion is patterned in the resist film 13. Then, as the first stage, as illustrated in FIG. 2(b), anisotropic etching of the PSG film 12 is performed exactly according to the mask of the resist film 13.

[0017] Specifically, 100 sccm of methane trifluoride and 100 sccm of methane tetrafluoride are introduced into the chamber 19 through the gas inlet 23 using the RIE apparatus illustrated in FIG. 3(a), and under etching conditions where the pressure is 0.2 to 0.4 Torr, the RF power is 800 W (13.56 MHz), and the power density is 2 W/cm, the through hole 15 is opened perpendicularly to the PSG film 12.

[0018] At this time, while monitoring a change in the emission intensity of CO, etching is performed for about two minutes until the lower Al wiring film 11 is exposed. Next, as the second stage, using the same apparatus, the resist is removed by ashing.

[0019] Specifically, an oxygen (O<sub>2</sub>) gas is introduced into the RIE apparatus through the gas inlet at a rate of 50 sccm. With a pressure of 0.5 Torr and an RF power of 500 W, the resist film 13 having a thickness of 8000 Å is ashed with generated oxygen plasma for about one minute, and completely removed as illustrated in FIG. 2(c).

[0020] As the third stage, as illustrated in FIG. 2(d), using Ar plasma is used as an inert gas, the upper edge of the through hole 15 which is opened by anisotropic etching is struck by ions so that the upper edge of the through hole 15 is scraped. After that, as illustrated in FIG. 2(e), the upper Al wiring film 18 is formed as a covering to a

thickness of 7000 Å by a sputtering method and patterned to form a wiring.

[0021] Specifically, when the RIE apparatus is used continuously, anisotropic etching is performed under conditions where Ar flows into the chamber 19 at 50 sccm, the pressure is 0.1 Torr, and the RF power is 700 W. Alternatively, when an ECR apparatus illustrated in FIG. 3(b) is used, anisotropic etching is performed under conditions where an Ar gas is 30 sccm, the microwave power is 600 W (2.45 GHz), the RF power is 200 W (13.56 MHz), and the pressure is 1 mmTorr.

[0022] In this case, the PSG film 12 having been struck by the Ar<sup>+</sup> 17 may be sputtered and deposited on the bottom of the through hole 15, in which case the above fluorine-based gas for etching the PSG film 12 is introduced into the chamber to perform anisotropic etching for several seconds.

[0023]

[Effect of the Invention] As described above, according to the present invention, by scraping the upper edge of the through hole and rounding it, coverage properties at the through hole of the upper wiring can be improved.

[0024] This eliminates a defect such as electromigration caused by a small thickness of the wiring in the through hole portion, greatly contributing to an improvement in reliability of a semiconductor element.

[Brief Description of the Drawings]

[FIG. 1] Views illustrating a principle of the present invention.

[FIG. 2] Schematic cross-sectional views of a process sequence of one example of the present invention.

[FIG. 3] Outline diagrams of an apparatus of one example of the present invention.

[FIG. 4] Explanatory diagrams of a conventional example.

[Reference Numerals]

- 1 lower wiring film
- 2 insulating film
- 3 resist film
- 4 fluorine-based gas
- 5 through hole
- 6 oxygen gas

	7	inert gas
	8	upper wiring film
	9	Si substrate
	10	SiO <sub>2</sub> film
5	11	lower Al wiring film
	12	PSG film
	13	upper Al wiring film
	14	F <sup>+</sup>
	15	through hole
10	16	O <sup>-</sup>
	17	Ar <sup>+</sup>
	18	upper air Al wiring film
	19	chamber
	20	substrate
15	21	parallel plate electrode
	22	plasma
	23	gas inlet
	24	exhaust port
	25	RF power source
20	26	chamber
	27	substrate
	28	magnetron
	29	quartz window
	30	magnet
25	31	plasma
	32	gas inlet
	33	exhaust port
	34	RF power source



**Family list**

1 application(s) for: **JP4251926**

**1 MANUFACTURE OF SEMICONDUCTOR DEVICE**

**Inventor:** SHIN DAISHIYOKU

**Applicant:** FUJITSU LTD

**EC:**

**IPC:** *H01L21/302; H01L21/3065; H01L21/3205;*  
(+7)

**Publication** **JP4251926 (A)** - 1992-09-08  
**info:**

**Priority Date:** 1991-01-10

---

Data supplied from the *espacenet* database — Worldwide

# MANUFACTURE OF SEMICONDUCTOR DEVICE

**Publication number:** JP4251926 (A)

**Publication date:** 1992-09-08

**Inventor(s):** SHIN DAISHIYOKU +

**Applicant(s):** FUJITSU LTD +

**Classification:**

- **international:** *H01L21/302; H01L21/3065; H01L21/3205; H01L21/3213; H01L21/768; H01L21/02; H01L21/70;* (IPC1-7): H01L21/302; H01L21/3205; H01L21/90

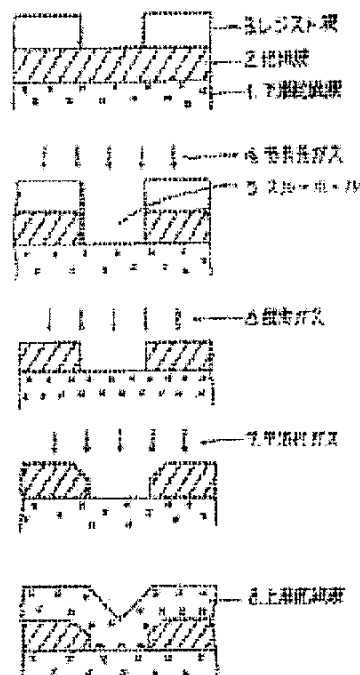
- **European:**

**Application number:** JP19910001306 19910110

**Priority number(s):** JP19910001306 19910110

## Abstract of JP 4251926 (A)

**PURPOSE:** To obtain a shape of through hole having good reproducibility by combining an ordinary RIE mode, resist peeling mode and tapered portion forming mode. **CONSTITUTION:** A method of manufacturing semiconductor device comprises steps, in formation of a through hole of layer insulating film on a semiconductor substrate, of covering an insulating film 2 on a lower wiring film 1 and forming a resist film 3 opening a through hole forming area on the insulating film 2, opening a through hole 5 on the insulating film 2 by conducting anisotropic etching to the insulating film 2 using a fluoride gas 4 by the reaction ion etching with the resist film 4 used as the mask, removing the resist film 3 by ashing using oxygen gas 6, grinding the upper edge of the through hole 5 by conducting anisotropic etching of the insulating film 2 using inactive gas 7 and covering thereafter an upper wiring film 8.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-251926

(43) 公開日 平成4年(1992)9月8日

(51) Int.Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/302	M	7353-4M		
21/3205				
21/90	A	7353-4M	H 0 1 L 21/88	D
		7353-4M		F
		7353-4M		

審査請求 未請求 請求項の数1(全5頁)

(21) 出願番号 特願平3-1306

(22) 出願日 平成3年(1991)1月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 申 大▲堤▼

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

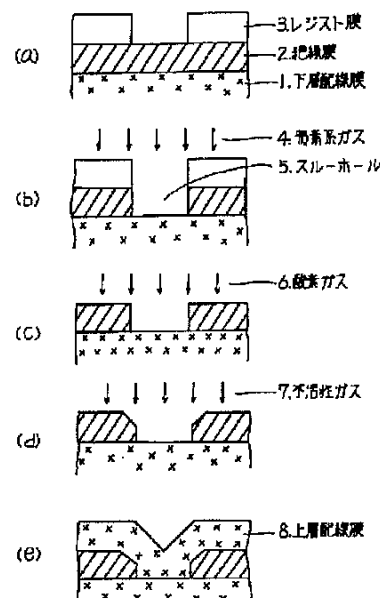
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 通常の R I E モードとレジスト剥離モードとを組み合わせ、再現性の良いスルーホール形状を得ることを目的とする。

【構成】 半導体基板上的層間絶縁膜のスルーホール形成において、下層配線膜 1 上に絶縁膜 2 を被覆し、該絶縁膜 2 上にスルーホール形成部を開口したレジスト膜 3 を形成する工程と、該レジスト膜 3 をマスクとし、弗素系ガス 4 を用いて該絶縁膜 2 を反応性イオンエッチングにより異方性エッチングして、該絶縁膜 2 にスルーホール 5 を開口する工程と、酸素ガス 6 を用いて、該レジスト膜 3 をアッシングして除去する工程と、不活性ガス 7 を用いて該絶縁膜 2 の異方性エッチングを行ない、該スルーホール 5 の上縁を削る工程と、しかる後、上層配線膜 8 を被覆する工程とを含むように構成する。

本発明の原理説明図



## 【特許請求の範囲】

【請求項1】 半導体基板上的層間絶縁膜のスルーホール形成において、下層配線膜(1)上に絶縁膜(2)を被覆し、該絶縁膜(2)上にスルーホール形成部を開口したレジスト膜(3)を形成する工程と、該レジスト膜(3)をマスクとし、弗素系ガス(4)を用いて該絶縁膜(2)を反応性イオンエッチングにより異方性エッチングして、該絶縁膜(2)にスルーホール(5)を開口する工程と、酸素ガス(6)を用いて、該レジスト膜(3)をアッシングして除去する工程と、不活性ガス(7)を用いて該絶縁膜(2)の異方性エッチングを行ない、該スルーホール(5)の上縁を削る工程と、しかる後、上層配線膜(8)を被覆する工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の多層配線間のスルーホールの配線カバレッジ性の改善のために、ドライエッチング方式を利用してスルーホールをテーパ加工する技術に関する。

【0002】 半導体素子の微細化のためのネックは、配線ピッチが配線材料の信頼性の問題のため、つめて狭くできないことに起因しているが、それでも配線の積層化や厚膜化などにより配線ピッチを狭めていく傾向にある。

【0003】 そのため、配線間を結ぶスルーホールも微細化されるようになってきた。そこで、必要となる技術として、スルーホール内の配線金属カバレッジを保証できるようなスルーホールのテーパ化がある。

## 【0004】

【従来の技術】 図4は従来例の説明図である。図において、35はアルミニウム(Al)膜、36は二酸化シリコン(SiO<sub>2</sub>)膜、27はレジスト膜、38はF<sup>+</sup>、39はF<sup>+</sup>である。

【0005】 従来方法としては、図4(a)に示すような、ウエットまたはドライ方式を用いた等方性エッチングと、図4(b)に示すような反応性イオンエッチング(RIE)を用いた異方性エッチングと、二段階のエッチングを組み合わせる方法が主な方法であった。

【0006】 しかし、図4(a)に示すように、まず最初に行われる等方性エッチングにおいて、下地Al膜35上のSiO<sub>2</sub>膜36をレジスト膜37をマスクとしてウエット或いはドライエッチングする際のエッチングレートのばらつきが原因となり、出来上がり形状が不安定になり、そのために、配線のカバレッジ性がばらついて、信頼性を欠くことが問題となっていた。

【0007】 この等方性エッチングの不安定性は、ウエットエッチングの場合にはエッチング液組成の変化などであり、ドライエッチングの場合にはレジスト膜37の形状依存のためとも言えるが、最も大きな原因は途中までエッチングを止めるために、近年のドライエッチング技術のなかで客観的な管理基準となりえる発光スペクト

ルの強度変化で検知するようなエンドポイントの検知ができないことである。

## 【0008】

【発明が解決しようとする課題】 従って、配線材料形成前の形状を安定化する必要があるが、本発明では、RIE装置でのスルーホール加工において、エッチングガスの種類やエッチング条件を変えて、通常のRIEモードとフォトリソ剥離モードとテーパ形成モードとを組み合わせることにより、再現性の良いスルーホール形状を得ることを目的とする。

## 【0009】

【課題を解決するための手段】 図1は本発明の原理説明図である。図において、1は下層配線膜、2は絶縁膜、3はレジスト膜、4は弗素系ガス、5はスルーホール、6は酸素ガス、7は不活性ガス、8は上層配線膜である。

【0010】 第一段階として、通常のRIEエッチング状態で、下層配線材料が露出するまで、マスクであるレジスト膜に忠実に異方性エッチングを行う。次に、同一のチャンバ内で酸素のみのプラズマによりレジスト膜を除去する。

【0011】 最後に、不活性ガスのプラズマによりスルーホールの上縁角を丸めてスルーホールの加工を終了する。即ち、本発明の目的は、半導体基板上的層間絶縁膜のスルーホール形成において、図1(a)に示すように、下層配線膜1上に絶縁膜2を被覆し、該絶縁膜2上にスルーホール形成部を開口したレジスト膜3を形成する工程と、図1(b)に示すように、該レジスト膜3をマスクとし、弗素系ガス4を用いて該絶縁膜2を反応性イオンエッチングにより異方性エッチングして、該絶縁膜2にスルーホール5を開口する工程と、図1(c)に示すように、酸素ガス6を用いて、該レジスト膜3をアッシングして除去する工程と、図1(d)に示すように、不活性ガス7を用いて該絶縁膜2の異方性エッチングを行ない、該スルーホール5の上縁を削る工程と、しかる後、図1(e)に示すように、上層配線膜(8)を被覆する工程とを含むことにより達成される。

## 【0012】

【作用】 本発明では、レジスト膜をマスクとして、まず、絶縁膜を異方性エッチングにより、エンドポイントを検知しながら垂直に配線膜が露出するまでスルーホールを開口し、次に、レジスト膜を除去した後、不活性ガスのイオン衝撃によりスパッタエッチングレートの制御し易いテーパ加工をスルーホールの上縁に行うため、従来のようなスルーホールの形状や寸法の不均一といった問題が解消される。

## 【0013】

【実施例】 図2は本発明の一実施例の工程順模式断面図、図3は本発明の一実施例の装置概要図である。

【0014】 図において、9はSi基板、10はSiO<sub>2</sub>膜、11

は下層Al配線膜、12はPSG膜、13は上層Al配線膜、14はF<sup>+</sup>、15はスルーホール、16はO<sup>-</sup>、17はAr<sup>+</sup>、18は上層Al配線膜、19はチャンバ、20は基板、21は平行平板電極、22はプラズマ、23はガス導入口、24は排気口、25はRF電源、26はチャンバ、27は基板、28はマグネトロン、29は石英窓、30は磁石、31はプラズマ、32はガス導入口、33は排気口、34はRF電源である。

【0015】図2により、本発明の一実施例について工程順模式断面図により説明する。先ず、図2(a)に示すように、SiO<sub>2</sub>膜10で被覆されたSi基板9上に下層Al配線膜11がパターニング形成されたSi基板9を用い、下層Al配線膜11上にCVD法により、PSG膜12をSi基板9全面に1.2の厚さに被覆する。

【0016】そして、レジスト膜13を8,000Åの厚さに塗布し、マスクを用いて、レジスト膜13にスルーホール形成部をパターニングする。そして、第一段階として、図2(b)に示すように、レジスト膜13のマスクに忠実に、PSG膜12の異方性エッチングを行う。

【0017】即ち、図3(a)に示したRIE装置を用い、三弗化メタン 100sccmと四弗化メタン 100sccmとをガス導入口23よりチャンバ19内に導入し、圧力 0.2~0.4Torr、RFパワー 800W (13.56MHz)、パワー密度 2W/cmのエッチング条件で、PSG膜12に垂直にスルーホール15を開口する。

【0018】この時、CDの発光強度の変化をモニタリングしながら、下層Al配線膜11が露出するまで2分程度のエッチングを行う。次に、第二段階として、同一装置を用い、レジストをアッシングにより除去する。

【0019】即ち、前記RIE装置のチャンバ19内にガス導入口23より酸素(O<sub>2</sub>)ガスを50sccmの割合で導入し、圧力 0.5Torr、RFパワー 500Wで、発生した酸素プラズマにより8,000 Å厚さのレジスト膜13を1分間程度灰化して、図2(c)に示すように、完全に除去する。

【0020】第三段階として、図2(d)に示すように、不活性ガスとしてArのプラズマを用い、異方性エッチングにより開口したスルーホール15の上縁をイオンにより叩いて、スルーホール15の上縁を削り、その後、図2(e)に示すように、スパッタ法により上層Al配線膜18を7,000Åの厚さに被覆し、パターニングして配線を形成する。

【0021】即ち、前記RIE装置を連続して用いる場合には、チャンバ19中にArを50sccm流し、圧力 0.1Torr、RFパワー 700Wの条件で異方性エッチングを行う。また、図3(b)に示すECR装置を用いた場合には、Arガスを30sccm、マイクロ波パワー 600W(2.45GHz)、RFパワー 200W (13.56MHz)、圧力 1mmTorrの条件で異方性エッチングを行う。

【0022】この場合、Ar<sup>+</sup> 17で叩かれた、PSG膜12がスルーホール15の底に際スパッタされて堆積することがあり、この場合には、先のPSG膜12エッチング用の弗素

系ガスをチャンバ内に導入して、数秒の異方性エッチングを行えば良い。

【0023】

【発明の効果】以上説明したように、本発明によれば、スルーホール上縁の角を削って丸めることによって、上層配線のスルーホール内カバレッジ性を改善することができる。

【0024】これにより、スルーホール部での配線の膜厚が薄いことに起因するエレクトロマイグレーション等の不良がなくなり半導体素子の信頼性の向上に寄与するところが大きい。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明の一実施例の工程順模式断面図

【図3】 本発明の一実施例の装置概要図

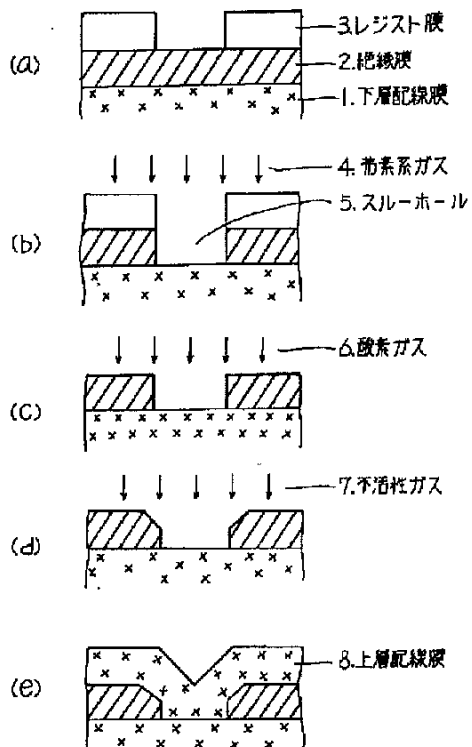
【図4】 従来例の説明図

【符号の説明】

- 1 下層配線膜
- 2 絶縁膜
- 3 レジスト膜
- 4 弗素系ガス
- 5 スルーホール
- 6 酸素ガス
- 7 不活性ガス
- 8 上層配線膜
- 9 Si基板
- 10 SiO<sub>2</sub>膜
- 11 下層Al配線膜
- 12 PSG膜
- 13 上層Al配線膜
- 14 F<sup>+</sup>
- 15 スルーホール
- 16 O<sup>-</sup>
- 17 Ar<sup>+</sup>
- 18 上層Al配線膜。
- 19 チャンバ
- 20 基板
- 21 平行平板電極
- 22 プラズマ
- 23 ガス導入口
- 24 排気口
- 25 RF電源
- 26 チャンバ
- 27 基板
- 28 マグネトロン
- 29 石英窓
- 30 磁石
- 31 プラズマ
- 32 ガス導入口
- 33 排気口

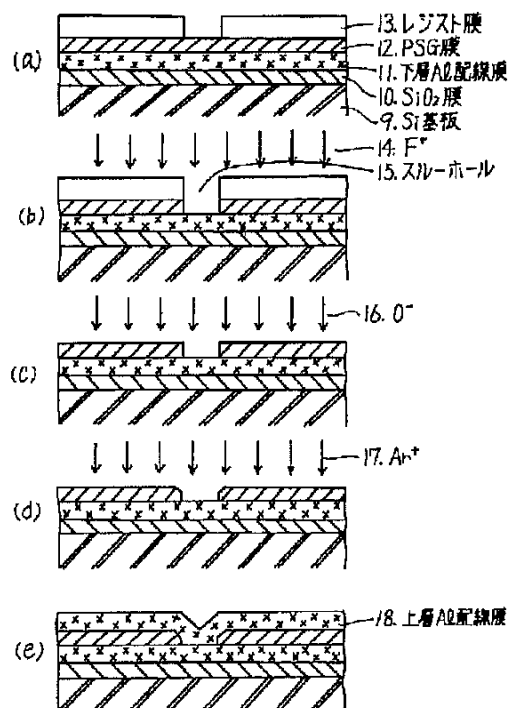
【図1】

本発明の原理説明図



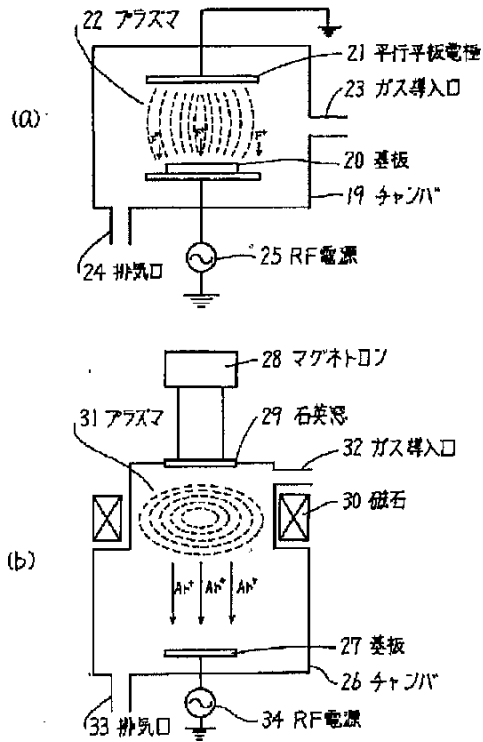
【図2】

本発明の一実施例の工程順模式断面図



【図3】

本発明の一実施例の装置概要図



【図4】

従来例の説明図

